

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-176290

(P2001-176290A)

(43)公開日 平成13年6月29日(2001.6.29)

(51) Int.Cl.<sup>7</sup>

G 1 1 C 29/00  
16/06

識別記号

603

FI

G 1 1 C 29/00  
17/00

テーマコート\* (参考)

6 0 3 J      5 B 0 2 5  
6 3 9 B      5 L 1 0 6

審査請求 未請求 請求項の数13 O.L (全 14 頁)

(21)出願番号 特願平11-351396

(22) 出願日 平成11年12月10日(1999. 12. 10)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 細野 浩司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 姫野 敏彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100092820

弁理士 伊丹 勝

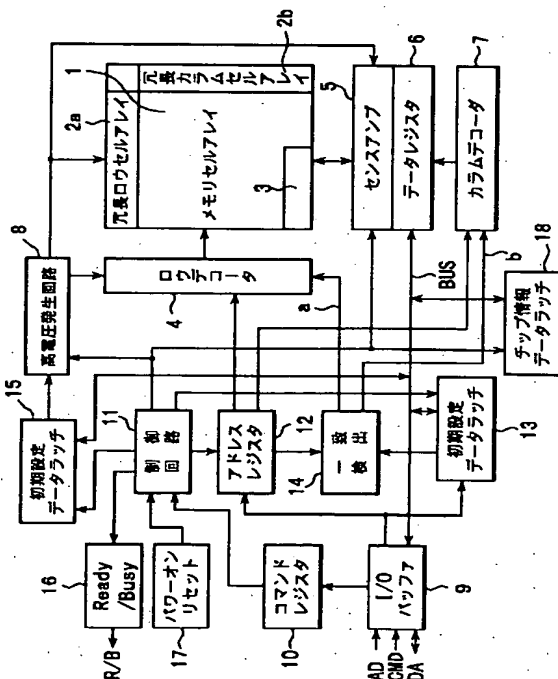
**最終頁に続く**

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 簡単な回路構成で検証や修正が容易な初期設定データ記憶を可能とした不揮発性半導体記憶装置を提供する。

【解決手段】 電気的書き換え可能な揮発性メモリセルが配列されたメモリセルアレイ 1、メモリセルアレイ 1 のメモリセル選択を行うデコード回路 4、7 と、メモリセルアレイ 1 のデータを検知増幅するセンスアンプ回路 5、メモリセルアレイ 1 のデータ書き込み、消去の動作を制御する制御回路 11 を有し、メモリセルアレイ 1 には、初期設定データが書き込まれる初期設定データ領域 3 が設定されている。この初期設定データ領域 3 から読み出された初期設定データが転送保持される初期設定データラッチ回路 13、15 が設けられ、制御回路 11 は、メモリセルアレイ 1 の初期設定データを読み出して初期設定データラッチ回路 13、15 に転送して保持させる初期設定動作を制御する。



1

## 【特許請求の範囲】

【請求項1】 電氣的書き換え可能な不揮発性メモリセルが配列され、メモリ動作条件を決定する初期設定データが書き込まれる初期設定データ領域が設定されたメモリセルアレイと、

アドレス信号により前記メモリセルアレイのメモリセル選択を行うデコード回路と、

前記メモリセルアレイのデータを検知増幅するセンスアンプ回路と、

前記メモリセルアレイの初期設定データが読み出されて転送保持される初期設定データラッチ回路と、

前記メモリセルアレイのデータ書き込み及び消去の動作を制御すると共に、前記メモリセルアレイの初期設定データを読み出して前記初期設定データラッチ回路に転送して保持させる初期設定動作を制御する制御回路と、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記メモリセルアレイは、不良セルを置換するための冗長セルアレイを有し、

前記初期設定データは、不良セルを前記冗長セルアレイにより置換するためのデータを含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記初期設定データは、データ書き込み、消去及び読み出し動作の制御データを含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】 前記制御回路は、電源投入を検出して前記初期設定動作を自動的に行うことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】 前記制御回路は、電源投入後、前記初期設定動作が終了するまでの間、外部にビジー信号を出力することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項6】 コマンド入力により設定されて、前記メモリセルアレイの初期設定データを外部に読み出すテストモードを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項7】 コマンド入力により設定されて、前記初期設定データラッチ回路に保持された初期設定データを外部に読み出すテストモードを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項8】 コマンド入力により設定されて、前記メモリセルアレイの初期設定データ領域及び、前記初期設定データラッチ回路の少なくとも一方のデータを書き込むテストモードを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項9】 前記メモリセルアレイの初期設定データ領域には、不良アドレスデータと共にその不良アドレスデータの有効性を確認するための参照データが書き込まれ、且つ前記制御回路による初期設定動作において、前記不良アドレスデータは前記参照データに基づいて有効性が確認されたものだけが前記初期設定データラッチ回

2

路に転送されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項10】 前記参照データは、前記不良アドレスデータに対してその各ビット毎に相補関係にあるデータであることを特徴とする請求項9記載の不揮発性半導体記憶装置。

【請求項11】 前記参照データは、前記不良アドレスデータが記憶される行又は列の有効性を示す識別ビットデータであることを特徴とする請求項9記載の不揮発性半導体記憶装置。

【請求項12】 前記メモリセルアレイの初期設定データ領域に書き込まれる不良アドレスデータは、“0”データと“1”データのしきい値電圧の差が他のデータ記憶領域に比べて大きく設定されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項13】 前記メモリセルアレイの初期設定データ領域に、初期設定データと共にチップ情報が書き込まれることを特徴とする請求項1記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】大規模化した半導体メモリでは、不良救済のための冗長回路を設けることが行われる。電氣的書き換え可能な不揮発性半導体メモリ（EEPROM）においても同様である。通常の冗長回路方式では、メモリセルアレイに冗長ロウセルアレイ、冗長カラムセルアレイが設けられ、また不良アドレスを記憶するためにフューズ回路が設けられる。フューズ回路は代表的にはレーザ熔断型のフューズにより構成される。

【0003】ウェハテストにおいて不良セルが見つかったと、その不良アドレスをフューズ回路にプログラミングする。フューズ回路がプログラミングされると、その後不良アドレスが入力された時には、フューズ回路が記憶する不良アドレスとの一致検出により、デコード回路を制御して、不良セルに代わって冗長セルを選択するという、置換制御がなされる。

【0004】フューズ回路は、上述した不良救済のためのアドレスデータの他、メモリの動作条件を決定するために各種の初期設定データを書き込む用途にも用いられる。このような初期設定データとしては例えば、チップ間、ウェハ間のプロセスばらつきに応じたチップ内部発生電圧の調整データ、書き込み電圧の設定データ、書き込みや消去の制御ループ回数の制御パラメータ等がある。

【0005】しかし、フューズ回路は、一旦プログラミングするとやり直しがきかない。またウェハテストの段階でのテスト装置による不良箇所抽出と、レーザによる

3

溶断とは別工程となり、これらを一連の工程として実施することができない。そこで、フューズ素子に代わる初期設定データ記憶回路として、EEPROMのメモリセルと同じ電氣的書き換え可能な不揮発性メモリセルを用いる方式も提案されている。不揮発性メモリセルを用いれば、フューズ溶断に比べてデータ書き込みは容易であり、またこのデータの書き換えも可能である。

【0006】

【発明が解決しようとする課題】しかし、従来提案されているのは、初期設定データを記憶するための不揮発性メモリセルのセルアレイを、メモリセルアレイ本体と別の領域に配置する方式である。この方式では、初期設定データ記憶のためのメモリセルアレイに対して読み出し、書き込み、消去のためにメモリセルアレイ本体とは別の回路を必要とする。従って回路構成が複雑になり、チップ面積が増大するだけでなく、書き込み後の検証や修正まで考慮すると、動作制御も容易ではない。

【0007】この発明は、上記事情を考慮してなされたもので、簡単な回路構成で検証や修正が容易な初期設定データ記憶を可能とした不揮発性半導体記憶装置を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列され、メモリ動作条件を決定する初期設定データが書き込まれる初期設定データ領域が設定されたメモリセルアレイと、アドレス信号により前記メモリセルアレイのメモリセル選択を行うデコード回路と、前記メモリセルアレイのデータを検知増幅するセンスアンプ回路と、前記メモリセルアレイの初期設定データが読み出されて転送保持される初期設定データラッチ回路と、前記メモリセルアレイのデータ書き込み及び消去の動作を制御すると共に、前記メモリセルアレイの初期設定データを読み出して前初期設定データラッチ回路に転送して保持させる初期設定動作を制御する制御回路と、を備えたことを特徴とする。

【0009】この発明においては、初期設定データがメモリセルアレイに設定された初期設定データ領域に書き込まれる。この初期設定データは、通常の前記データ読み出しと同じデコード回路とセンスアンプ回路により読み出すことができる。そして書き込み、消去の動作制御を行う制御回路は、例えば電源投入を検知してメモリセルアレイの初期設定データ領域に書き込まれた初期設定データを読み出してこれを初期設定データラッチ回路に転送して保持させる初期設定動作を自動的に制御するように、予めプログラミングされる。従ってこの発明によると、初期設定データの記憶のための回路をメモリセルアレイ本体とは別の領域に設ける必要がなく、デコード回路やセンスアンプもメモリセルアレイ本体と共有できるから、回路構成は簡単でチップ面積も小さくできる。ま

4

た初期設定データの検証や修正も容易である。

【0010】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1はこの発明の実施の形態によるEEPROMの構成を示す。メモリセルアレイ1は、電氣的書き換え可能な不揮発性メモリセルをマトリクス配列して構成される。不揮発性メモリセルは浮遊ゲートと制御ゲートが積層されたスタックド・ゲート型のMOSTランジスタ構造を有するものである。メモリセルアレイ1には不良セルを置き換えるための冗長ロウセルアレイ2aと冗長カラムセルアレイ2bが設けられている。またメモリセルアレイ1の初期設定データ領域3は、メモリの動作条件を決定するための初期設定データを書き込む領域として予め定められている。

【0011】図2は、メモリセルアレイ1の具体的な構成例を示す。この例では、16個のメモリセルが直列接続されたNANDセルユニットを構成している。ワード線WLが共通に配設された複数のNANDセルユニットは、データ消去の最小単位となるセルブロックを構成しており、複数のセルブロックB0、B1、～、Bnがビット線BLを共通にして配置される。この様なメモリセルアレイ1のうち、例えば図に破線で示したセルブロックBnが、初期設定データを記憶するための初期設定データ領域3として定められる。

【0012】初期設定データ領域3は、ビット線BL及びワード線WLの選択駆動により、データの書き込み、消去及び読み出しが可能ではあるが、後に説明するように、EEPROMの通常の動作においては外部からはアクセスされない。従ってまた、データの一括消去或いはブロック単位の消去の際にも、この初期設定データ領域3は消去条件に設定されない。

【0013】初期設定データ領域3の最小単位は、NAND型EEPROMにおいては、消去最小単位であるNANDセルブロックである。これは本体セルと同じ構成であるため、レイアウトや回路動作については通常NANDセルブロックと同様であり、設計が容易である。これに対して、初期設定データ領域に記憶されるデータのサイズが小さい場合等は、通常のNANDセルブロックに比べてワード線が少ないセルブロック構成としてもよい。この場合は、本体セルブロックと同じサイズとするよりも、占有面積を小さくすることができる。

【0014】メモリセルアレイ1のビット線BLは、センスアンプ回路5を介してデータレジスタ6に接続される。メモリセルアレイ1のビット線BLおよびワード線WLを選択するために、カラムデコーダ7及びロウデコーダ4が設けられている。アドレスAD、データDA及びコマンドCMDはI/Oバッファ9に入力され、アドレスはアドレスレジスタ12に、コマンドはコマンドレジスタ12に取り込まれ、書き込みデータはデータレジ

5

スタ6に取り込まれる。

【0015】アドレスレジスタ12から発生されるロウアドレス、カラムアドレスはそれぞれロウデコーダ4、カラムデコーダ7でデコードされて、メモリセル選択がなされる。データ書き込み、消去に用いられる各種高電圧は、昇圧回路により構成された高電圧発生回路8により発生される。コマンドレジスタ10に取り込まれたコマンドは例えば制御回路11でデコードされ、この制御回路11によりデータ書き込み、消去のシーケンス制御がなされる。

【0016】データ書き込み時には、選択されたメモリセルでの書き込み動作、書き込み状態を確認するためのベリファイ動作を行い、書き込み不十分のメモリセルには再度書き込みを行うという制御がなされる。データ消去時にも同様に、選択されたブロックでの消去動作、消去状態を確認するためのベリファイ動作を行い、消去不十分の場合には再度消去を行うという制御がなされる。書き込みモード又は消去モードの設定により、上述した一連の書き込み又は消去の制御を行うのが、制御回路11である。

【0017】メモリセルアレイ1の初期設定データ領域3に書き込まれる初期設定データは、具体的には、ウェハテストの結果明らかになった、①不良アドレスデータ、②データ書き込み及び消去の各種制御データ（電圧値データ、書き込み、消去の制御ループ数等）、③メモリ容量や仕様に関するコード、メーカーコード等のチップ情報（IDコード）である。この初期設定データの初期設定データ領域3への書き込みは、チップをパッケージングした後、製品出荷の前に例えば、特定のコマンド入力により行うものとする。

【0018】即ち、ロウデコーダ4及びカラムデコーダ7は、初期設定データ領域3を含めてメモリセルアレイ1の全体をアクセス可能に構成されているが、通常データの書き込み、読み出し動作では、初期設定データ領域3にはアドレスが割り当てられておらず、外部アドレスにより初期設定データ領域3を指定することはできない。特定のコマンドを入力したときにのみ、制御回路11はアドレスレジスタを制御して初期設定データ領域3をアクセスするのに必要な内部アドレスを発生させ、これにより初期設定データ領域3に初期設定データを書き込みできるようにしている。

【0019】この様に初期設定データがメモリセルアレイ1の初期設定データ領域3に記憶されたEEPROMでは、電源投入時、初期設定データ領域3に書き込まれた初期設定データを読み出して動作条件の初期化が行われる。図1の場合、不良アドレスを記憶するための初期設定データラッチ回路13と、高電圧発生回路8を制御する制御データを記憶するための初期設定データラッチ回路15、及びチップ情報を記憶するためのチップ情報データラッチ回路18を示している。この初期設定デ

6

タ領域3のデータ読み出しと、その読み出しデータの初期設定データラッチ回路13、15及びチップ情報データラッチ回路18への転送制御は、制御回路11により自動的になされる。

【0020】即ち電源を投入すると、パワーオンリセット回路17が動作する。制御回路11はこの電源投入を検出して、電源安定化のための一定の待ち時間の後、読み出しモードに設定され、引き続き初期設定データ領域3をスキャンするための、順次インクリメントされる内部アドレスをアドレスレジスタ12から発生させる。この初期設定データ領域3をアクセスする内部アドレスは前述のように通常の動作では割り当てられていない。そして、ロウデコーダ4及びカラムデコーダ7により選択された初期設定データ領域3のデータは、センスアンプ回路5により読み出されてデータレジスタ6に転送保持され、更にデータバスBUSを介して、初期設定データラッチ回路13、15及びチップ情報データラッチ回路18に転送されて保持される。以上の初期化動作の間、制御回路11は、レディ/ビジーバッファ16を介して外部にアクセス禁止を知らせるレディー/ビジー信号(R/B)=L(ビジー状態)を出す。

【0021】図9は、上述した初期設定動作の制御フローの例を示している。電源投入を検出すると、パワーオンリセットがかかり(S1)、一定時間の待機(S2)の後、R/BをBusy状態にセットする(S3)。そして、不良アドレスデータを読み出してセットする初期設定データリードを行い(S4)、続いて制御電圧値データを読み出してセットする初期設定データリードを行い(S5)、以下順次その他初期設定データリードの動作を行う(S6)。全ての初期設定データリードが終了したら、R/BをReady状態(スタンバイ状態)にセットする(S7)。

【0022】不良アドレスの初期設定データリード(S4)は、この例では初期設定データ領域として不良アドレス記憶領域として予め定められたページのページ読み出しを行い、1ページ内でカラム毎のデータ判定を行う。即ち、図10に示すように、ロウアドレスを初期設定データの中の不良アドレス設定領域にセットし、カラムアドレスはリセット、初期化して(S11)、ページ読み出しを行い、読み出したデータをデータレジスタ6に転送して格納する(S12)。データレジスタ6に格納された1ページ分のデータのうち、最初の1バイトのデータD0~D7を取り出して(S13)、データ終了判定を行う(S14)。

【0023】初期設定データ領域には例えば、1バイト毎にデータが有効か否かを判定するデータと初期設定データとが交互に記憶される。ステップS14の判定は、このデータが有効か否かを判定するデータにより、次の1バイトのデータが有効か否かを判定するものである。判定の結果有効でないとされた場合は、次の初期設定デ

7

ータリードのステップに移る。有効なデータがある場合と判定された場合は、カラムアドレスをインクリメントして、次の1バイト分のデータD0～D7を初期設定データラッチ回路13に格納する(S15, S16)。そしてカラムアドレスをインクリメントして(S17)、以下同様の動作を有効データがなくなるまで繰り返す。

【0024】以下の初期設定データリード(S5)～

(S6)の動作も同様であり、それぞれのデータが書かれているロウアドレスを自動設定して、1ページ分のデータ読み出しと、その中の1バイトずつのデータ判定及び、データラッチ回路への格納の動作を行う。なお上述の初期化動作は、電源投入により自動的に制御回路11が実行する方式の他、例えば特定のコマンドを入力することにより、制御回路11がこれをデコードして初期化動作を開始するようにしてもよい。

【0025】初期設定データラッチ回路13は例えば、図3に示すように、冗長ロウセルアレイ2aおよび冗長カラムセルアレイ2bの大きさに応じて決定される不良アドレスの記憶に必要な個数のラッチ回路LA1～LA<sub>m</sub>により構成される。各ラッチ回路LAは、ラッチ本体32と、データを取り込むためのクロック・インバータ31、及び保持されているデータを、入力側のデータバスBUSに取り出すためのクロック・インバータ33を有する。このデータラッチ回路13は、電源投入時やテストモード等に発生されるリセット信号RSTによりリセットされる他、通常のメモリ動作ではリセットされない。制御電圧を保持する初期設定データラッチ回路15及びチップ情報データラッチ回路18も同様に構成される。

【0026】初期化動作が終了すると、R/B=H(レディ状態)となり、通常の読み出し、書き込み及び消去が可能になる。この通常動作モードでは、アドレスが入力されると、アドレスレジスタ12に取り込まれたアドレスと、初期設定データラッチ回路13に保持されている不良アドレスとの一致が、一致検出回路14により検出される。一致検出されると、置換制御信号a、bが出力される。この置換制御信号a、bによりロウデコーダ4、カラムデコーダ7が制御されて、不良セルの冗長セルアレイによる置換が行われる。また、書き込み、消去、読み出しの各モードに応じて、初期設定データラッチ回路15に保持された制御データにより高電圧発生回路8が制御されて、必要な電圧が発生される。

【0027】この実施の形態において、好ましくは、メモリセルアレイ1の初期設定データ領域3に記憶されている初期設定データをチェックし、或いは書き換えができるテストモードを設定できるようにする。具体的にテストモードは、予め定められたコマンドの入力により設定できるようにしておく。例えば、あるコマンドを入力することにより、初期設定データのチェックテストを行うテストモードが設定される。制御回路11はこのコマ

8

ンドをデコードすると、前述の初期化動作と同様に順次インクリメントされる内部アドレスを発生させ、初期設定データ領域3の初期設定データをセンスアンプ回路5により読み出す。そして制御回路11は、センスアンプ回路5からデータレジスタ6に取り込まれる初期設定データを、I/Oバッファ9を介して外部に取り出すように制御する。

【0028】別のコマンドを入力すると、初期設定データ領域3のデータ書き換えを行うテストモードが設定される。この場合制御回路11は、データ書き換えを行うデータ領域3全体或いはその一部のセルフブロックに対して消去を行う。続いて、書き込みモードに設定されると共に、先の初期化動作の場合と同様に初期設定データ領域3を順次アクセスする内部アドレスを発生する。外部から与えられる初期設定データはデータレジスタ6に一旦保持され、制御回路11からの書き込み制御信号により、初期設定データ領域3に書き込まれる。

【0029】更に別のコマンドが入力されると、初期設定データラッチ回路13、15或いはチップ情報データラッチ回路18に保持されたデータを読み出してチェックするテストモードが設定される。初期設定データラッチ回路13、15又はチップ情報データラッチ回路18には、図3に示すようにその保持データを入力側のデータバスBUSに取り出すクロック・インバータ33が設けられている。従って特定のコマンド入力により、制御回路11がこの初期設定データラッチ回路13、15又はチップ情報データラッチ回路18に読み出しクロックφ2=Hを出力し、保持されたデータをデータバスBUSに読み出し、I/Oバッファ9を介して外部に取り出すようにする。これにより、初期設定データラッチ回路13、15又はチップ情報データラッチ回路18のデータをチェックすることができる。

【0030】また、別のコマンドでデータ領域3の書き換えを行わずに、それらのデータが読み出され保持されている初期設定データラッチ回路13、15やチップ情報データラッチ回路18に対して、チップ外部からデータバスを介してデータを書き込むことができる。これにより、一度電源を投入した後、連続的に初期設定データを変更してテストすることができる。

【0031】以上のようにこの実施の形態によると、メモリセルアレイ本体内に初期設定データ領域を設定しており、メモリセルアレイ本体のデコード回路やセンスアンプ回路をそのまま用いて初期設定データの読み出しを行うようにしている。従って不良救済のための不良アドレス記憶その他の初期設定データの記憶と、その制御のために大きなチップ面積を必要としないし、複雑な回路も必要としない。またコマンド入力により、初期設定データの検証や修正も容易である。

【0032】〔実施の形態2〕図4は、別の実施の形態によるEEPROMの構成を示す。図1の実施の形態と

対応する部分には図1と同じ符号を付して詳細な説明は省く。この実施の形態では、メモリの初期化時、メモリセルアレイ1の初期設定データ領域3から読み出されて初期設定データラッチ回路13に転送するアドレスデータを、アドレス変換するためのアドレス変換回路41を備えている。

【0033】このアドレス変換回路41の機能は次の通りである。NAND型EEPROMでは通常、1バイト＝8ビット単位で読み出される。一方、カラムアドレスが9ビットで0番地から511番地のメモリ空間があるとすると、初期設定データラッチ回路13に保持される不良アドレスは、A0～A8の9ビットであることが必要である。メモリセルアレイ1の初期設定データ領域3から一度に8ビットずつしか読み出すことができないとすると、初期化動作において不良カラムアドレスの読み出しに2回の読み出し動作が必要になる。そして初期設定データ領域3からの2回の読み出しデータに基づいて、アドレス変換回路41で、A0～A8の9ビットのアドレスデータとして合成する。合成された不良アドレスデータは初期設定データラッチ回路13に保持される。

【0034】ロウアドレスについては、例えば256MビットNAND型EEPROMで、16ビットであり、やはり初期設定データ領域3からの不良ロウアドレスの読み出しに2回の読み出し動作が必要である。この2回の読み出しデータをアドレス変換回路41で16ビットのロウアドレスとして合成して、初期設定データラッチ回路13に転送保持する。256Mビット以上の容量であれば、3回の読み出し動作が必要になる。制御電圧設定のための初期設定データラッチ回路15やチップ情報データラッチ回路18については、個々のデータは1バイトのデータで十分であり、データ合成は必要がない。

【0035】この実施の形態の場合の初期設定動作の制御フローも、基本的には先の実施の形態と同様であり、図9のようになる。その中の不良アドレスデータリードのステップS4について、この実施の形態での制御フローを示すと、図11のようになる。アドレスをセットして(S21)、ページ読み出しを行い(S22)、その1カラムのデータを取り出して(S23)、データ終了判定を行う(S24)までは、先の実施の形態の図10と同様である。

【0036】データが終了でなければ、アドレスレジスタ12のカラムアドレスをインクリメントして(S25)、1バイト分のデータD0～D7を取り出し、これをアドレス変換回路41にてアドレスデータA0～A7に変換する(S27)。そして再度カラムアドレスをインクリメントし(S28)、次の1バイト分のデータD0～D7を取り出し(S29)、そのうちの1ビットデータD0をアドレス変換回路41に転送して、アドレスデータA8に変換する(S30)。そして、アドレス変

換回路41により得られたアドレスデータA0～A8を初期設定データラッチ回路13に転送保持する(S31)。以下、カラムアドレスをインクリメントして(S32)、同様の動作を繰り返す。この様にして、D0～D7の1バイトずつ取り出されるデータから、A0～A8の9ビットアドレスデータを合成して、初期設定データラッチ回路13に保持する。

【0037】[実施の形態3] 図5は、更に別の実施の形態によるEEPROMの構成である。ここでも先の実施の形態と対応する部分には先の実施の形態と同一符号を付して詳細な説明は省く。この実施の形態では、ロウデコード4及びカラムデコード7に付随させる形で、フューズデータラッチ回路51、52が設けられている。

【0038】これらのフューズデータラッチ回路51、52は、次のようなものである。データ書き込みサイクルでは、書き込み動作毎にベリファイ動作が行われる。NAND型EEPROMでは通常、1ページ分(1ワード線分)の書き込みデータがシリアルにデータレジスタ6に取り込まれ、1ページ分が一括して書き込まれるが、ベリファイ動作では、1ページ分のセンスアンプのノードをワイヤド・オア接続して書き込み終了を検出している。この場合、不良ビット線につながるセンスアンプノードを含めてワイヤド・オア接続すると、書き込み終了のチェックができなくなる。

【0039】そこで通常は、フューズ素子を介して全センスアンプのノードをワイヤド・オア接続し、不良カラムのフューズは切断するようにしている。具体的には図6のように構成される。センスアンプS/Aのノードn1、n2、…には、Verify信号により活性化されるオープンドレイン構造の初段検知回路61が設けられる。更に検知回路61の出力遷移によりゲートが放電されるPMOSトランジスタを用いた2段目検知回路62の出力端子がフューズ素子Fを用いたフューズ回路63を介して検知信号線64に共通接続される。

【0040】図7は、図6の動作タイミング図である。時刻t0までにベリファイ動作が行われ、センスアンプS/Aのノードが確定する。それまで、Prevfy=H、Verify=Lであり、検知回路61及び62は非活性に保たれる。時刻t1で、Prevfy=Lになり、検知回路62はNMOSトランジスタのゲートがプリチャージされたフローティング状態に設定される。続いて、Verify=Hになり、検知回路61が活性化される。これにより、全てのセンスアンプS/Aのノードn1、n2、…がLであると、検知回路62に入る信号f1、f2、…がHに保持され、信号検出線64には、Lvfy=Lが得られる。図7に示すように、センスアンプS/Aのノードの一つでもHがあると、Lvfy=Hとなる。即ち、正常に書き込みが行われてベリファイOKになると、Lvfy=Lとなる。

【0041】ところが、図7に示したHを保持するセン

11

スノードn2が、ビット線不良に起因するものであるとすると、書き込みとベリファイを繰り返しても、Lvfy=Lになることなく、書き込み終了の検知ができなくなる。そこで、不良カラムアドレスについては、フューズ回路63のフューズを切断する。これにより、書き込み終了を検知できることになる。

【0042】ロウデコード側については、通常書き込み動作では不良ブロックは冗長セルアレイに置換されており、活性化されることはないので問題はない。しかし、ロウデコードを強制的に全選択して一括にデータ書き込み、消去等のテストを行うモードでは、不良ブロックも活性化されてしまい、問題になる。そのため、ロウデコード側にも同様に、不良のロウを切り離すためのフューズ回路を設けることが行われる。

【0043】図5の実施の形態に示したフューズデータラッチ回路51、52は、上述した不良ロウ、不良カラムを切り離すためのフューズ回路に対応する機能を、フューズ素子を用いずにラッチ回路を用いて実現したものである。図8は、図5におけるカラム側のフューズデータラッチ回路52の具体的構成をその周辺部を含めて示している。

【0044】図8においては、デコード部72とカラムゲート71とが、図5のカラムデコード7に対応する。前述のようにセンスアンプ回路5の各センスアンプノードを、書き込みベリファイ時に検出信号線85にワイヤド・オア接続するために、オープンドレイン構造のNMOSTランジスタQN1とその活性化NMOSTランジスタQN2を持つ検出回路81が設けられ、更にトランジスタQN1のドレインがゲートに接続されたPMOSTランジスタQP1とそのゲートのプリチャージ用PMOSTランジスタQP3を持つ2段目検出回路82が設けられている。

【0045】この検出回路82のPMOSTランジスタQP1のドレインが、更にPMOSTランジスタQP2を介して検出信号線85に共通接続される。PMOSTランジスタQP2が、先に図6で説明したフューズ素子Fに相当する。そして不良カラムについてPMOSTランジスタQP2をオフにするために、ラッチ回路83が設けられている。ラッチ回路83のノードは、転送ゲート84を介して、図5に示すフューズデータバッファ53の出力FIO、FIObが供給される信号線に共通接続されている。フューズデータバッファ53は、前述した初期化データを読み出してセットするメモリの初期化動作の間、一定の出力、FIO=L、FIOb=Hを出力するものとする。

【0046】転送ゲート84のゲートには、カラムデコード部72から、不良カラムについてHとなるカラムフューズ選択信号FCSLが送られる。このためにカラムデコード部72では、制御回路11から発生されるフューズセット信号Fset、Fsetbとカラムデコード

12

信号CA1~8、CB1~8、CC1~8により、通常動作で活性化されるNORゲートG1と、初期化動作の間活性化されるNORゲートG2が出力部に設けられている。即ち、初期化動作の間、Fset=H、Fsetb=Lであり、この間、カラム選択信号CSLiは非活性になり、カラムゲート71が駆動されない。そして、不良カラムについて、例えばFCSL1がHとなり、そのカラムのラッチ84に、PMOSTランジスタQP2をオフとするデータがラッチされる。

【0047】なお上記動作でこのフューズデータラッチ回路52にデータがセットされるメモリ空間上の場所は、メモリセルアレイ1の初期設定データ領域3からセンスアンプ回路5により読み出された不良カラムアドレスによってデコードされる場所である。従って、この読み出された不良アドレスを一時保持するために、図5に示すように、アドレスレジスタ12とは別にアドレスレジスタ54が必要になる。このアドレスレジスタ54も制御回路11により、不良アドレスの保持と、フューズデータラッチ回路51、52への転送が制御される。

【0048】ロウ側のフューズデータラッチ回路51については、詳細は示さないが、同様にアドレスレジスタ54に取り込んだ不良ロウアドレスに基づいて、不良のロウブロックに対するロウデコード出力を非活性とするデータをラッチするラッチ回路を用いればよい。

【0049】カラム側のフューズデータラッチ回路52は、制御回路11の制御によりフューズセット信号をFsetb=Hとしてアクセスすることができる。またフューズデータラッチ回路52はフューズデータバッファ53に接続され、フューズデータバッファ53はデータバスBUSに接続されている。従って、所定のコマンドを入力して、フューズデータラッチ回路52のデータ内容をチェックするテストモードを設定することができる。更に、フューズデータラッチ回路52に、チップ外部から、フューズデータバッファ53を介してフューズデータを直接書き込むということもできる。

【0050】この実施例での初期設定データリードの制御フローも、基本的には図9のように示される。図12は、その制御フローの中の、不良アドレスの初期設定データリードのステップS4を示している。ステップS21~S31までは、先の実施の形態の図11におけると基本的に同様である。ただ、先の実施の形態でのアドレス変換回路41に相当する部分がこの実施の形態では、カラム切り離しの制御を行うためのアドレスレジスタ54となっている。

【0051】先の実施の形態と同様に、2カラム分のデータ読み出しと合成により得られたアドレスデータをデータラッチ回路13に格納した後(S31)、この実施例では更に、不良カラム切り離しの制御を行う。即ち、アドレスレジスタ54からの不良カラムアドレスA0~A8によりカラムデコードを行い(S41)、フューズ

13

データラッチ回路52にフューズデータバッファ53のデータを書き込む(S42)。以下、カラムアドレスをインクリメントし(S43)、同様の動作を繰り返す。

【0052】以上の各実施の形態において、初期設定データ記憶領域3の不良アドレス記憶部に書き込みや消去ができない不良セルがあった場合に、これを無視して不良アドレスデータを書き込んだとすると、所望の初期設定動作、即ち不良アドレスデータを読み出してこれを初期設定データラッチ回路13に転送することができない。従ってウェハテストの結果明らかになった、初期設定データ記憶領域3の不良セル領域には、不良アドレスデータを書き込まない(通常は書き込めない)。一方この場合、初期設定データ記憶領域3の読み出しを行う初期設定動作では、不良アドレスに対する考慮はなされないから、読み出しデータが有効な不良アドレスデータであるか否かの確認が必要になる。そこで、初期設定データ記憶領域3の不良アドレス記憶部に不良がある場合に、有効な不良アドレス記憶を行い、冗長セルアレイによる置換を可能とする実施の形態を次に説明する。

【0053】【実施の形態4】図13はその様な実施の形態4の不良アドレス記憶法を示している。ここでは、アドレスデータが4ビットで表され、3つの不良アドレスデータ1~3を初期設定データ記憶領域3の各列(ここでは、1列=1ワード線)に書き込む場合を例としている。最初の不良アドレスデータ1が“0101”であるとする、これを第0列に書き込む。そして、第1列には、不良アドレスデータ1と相補関係にある“1010”なるデータを参照データとして、不良アドレスデータ1と対にして記憶する。同様に、次の不良アドレスデータが“1100”であれば、これを第2列に記憶し、これと相補関係にある参照データ“0011”を第3列に記憶する。

【0054】初期設定データ領域3の第4列は不良であり、“1”状態しかとれないものとする。この場合第5列には、参照データとして、第4列のデータと相補関係が崩れた“1111”が記憶されることになる。更に正常な第6列には不良アドレスデータ3を記憶し、第7列にはこれと相補関係にある参照データを記憶する。

【0055】この様な不良アドレス記憶を行い、制御回路11による初期設定動作においては、初期設定データ記憶領域3の不良アドレスデータの有効性を参照データに基づいて確認して、初期データラッチ回路13に転送記憶するようにする。この転送制御は、機能的には図14のようになる。即ち読み出される不良アドレスデータとこれと対をなす参照データとを、不良アドレスデータを反転して一致検出回路141に入力して一致検出を行う。相補関係が検知された場合に、一致検出回路141の出力により、不良アドレスデータを初期設定データラッチ回路13に転送するための転送ゲート142をオンにする。この様にして初期設定データ領域3に不良セル

14

部が存在した場合にも、正確な不良アドレス記憶とその不良アドレスデータの初期設定データラッチ回路への転送制御が可能になる。

【0056】【実施の形態5】上記実施の形態4では、不良アドレスデータと対応する参照データを初期設定データ記憶領域3の別の列に記憶したが、これらを同じ列に記憶することができる。その例を図15に示す。即ち図15では、初期設定データ記憶領域3の第0列の上位4ビットを不良アドレスデータ1とし、下位4ビットをこれと相補関係にある参照データとして記憶する。第1列、第3列も同様である。第2列は、先の実施の形態4と同様に不良であって、“1”状態しかとれないものとする、下位4ビットの参照データも“1111”となる。

【0057】この実施の形態の場合も、制御回路11による初期設定動作において、初期設定データ記憶領域3から1列ずつ読み出されるデータの上位4ビット(不良アドレスデータ)と引き続く下位4ビット(参照データ)の比較を先の実施の形態と同様にを行う。これにより、有効な不良アドレスデータのみを初期設定データラッチ回路13に転送することができる。この場合、カラムデコーダ7により同時に読み出される1列のデータのビット幅が8ビット(或いはそれ以上)であるとすれば、1回のカラム読み出しのみで、不良アドレスの有効、無効を確認することができる。

【0058】なお実施の形態4、5においては、不良アドレスデータの有効性を確認するための参照データとして、不良アドレスデータと1ビットずつ相補関係にあるデータを用いたが、これは不良セルが通常列単位或いは行単位で連続することが多く、相補関係のデータとすることにより、確実に且つ簡単に有効性の判別ができるためである。しかし、1ビットずつ相補関係にあるデータ以外にも、他の適当な参照データを用いることができる。

【0059】【実施の形態6】図16は、実施の形態6による不良アドレスデータの記憶法である。この例でも、図13の例と同様に、初期設定データ記憶領域3に4ビットからなる不良アドレスデータを記憶する場合であり、且つ、第2列は“1”状態しかとれない場合を示している。このとき、特定の1行を、列が有効か否かを識別する識別ビットの記憶領域とする。図16の例では、第2列が“1”状態以外とれないことから、不良アドレスデータを記憶した列には識別ビットデータとして“0”を書き込む。

【0060】これにより、識別ビットデータと共に不良アドレスデータを読み出して、図16の場合であれば、第0列、第2列、第3列の不良アドレスデータを正しい不良アドレスデータとして識別確認して、初期設定データラッチ回路13に転送することができる。識別ビットを2ビット以上とすれば、より確実な不良アドレスデー



タの確認が可能である。なお以上の各実施の形態4～6において、行と列の関係は置換可能である。

【0061】以上の各実施の形態において、初期設定データ記憶領域3に書き込まれる不良アドレスデータは、他の通常のデータと比べて、“0”、“1”の違いが明確であることが望ましい。この点を考慮した不良アドレスデータ記憶の好ましい実施の形態を次に説明する。

【0062】【実施の形態7】図17は、NOR型EEPROMの場合のメモリセルデータのしきい値分布を示している。通常のメモリセルでは実線で示すように、“1”（消去状態）、“0”（書き込み状態）共にしきい値電圧は正であり、選択ワード線に与えられる読み出し電圧 $V_{read}$ に対して、低しきい値電圧、高しきい値電圧とされる。これに対して、不良アドレス記憶セルのデータ“1”は、破線で示すように、通常セルの“1”に比べてよりしきい値電圧の低い過消去状態に設定する。同様に不良アドレス記憶セルのデータ“0”は、破線で示すように、通常セルの“0”に比べてよりしきい値電圧が高い過書き込み状態に設定する。

【0063】この様な不良アドレスデータ記憶を行うことにより、確実な不良セル置換を行うことができる。なお、不良アドレスの“1”については、過消去状態であっても、しきい値電圧が負になることは避けることが好ましい。NOR型EEPROMの場合、通常非選択ワード線を0Vとするため、しきい値電圧が過消去状態のメモリセルがあると、そのリーク電流が他のメモリセルの正常動作を妨げるからである。

【0064】【実施の形態8】図18(a)(b)は、NAND型EEPROMの場合のメモリセルデータのしきい値分布を示している。通常のメモリセルでは実線で示すように、“1”（消去状態）はしきい値電圧が負、“0”（書き込み状態）ではしきい値電圧が正になり、読み出し時選択ワード線には0Vが、非選択ワード線にはバス電圧 $V_{pass}$ が与えられる。これに対して、不良アドレス記憶セルのデータ“1”は、破線で示すように、通常セルの“1”に比べてよりしきい値電圧の低い過消去状態に設定する。同様に不良アドレス記憶セルのデータ“0”は、破線で示すように、通常セルの“0”に比べてよりしきい値電圧が高い過書き込み状態に設定する。

【0065】この場合、図18(a)のように、不良アドレス記憶セルの“0”データのしきい値をバス電圧 $V_{pass}$ より高い状態にすれば、信頼性は高いものとなる。但しこのような“0”データ書き込みは、NANDセルユニットの中の一つのワード線に沿ったセルにしか適用できない。その他のワード線では、 $V_{pass}$ の印加で導通させなければならないからである。従って、不良アドレス記憶領域の無駄が多くなる。これに対して、図18(b)のように、不良アドレス記憶セルの“0”データのしきい値を $V_{pass}$ 以下の範囲で通常セルよ

り高くすれば、特に問題はなく、信頼性の高い確実な不良セル置換の制御動作が可能になる。

【0066】なお以上の実施の形態7、8は、メモリセルアレイに書き込まれる不良アドレスデータの“0”、“1”の判別を確実にする趣旨である。従って、“0”の書き込み状態を過書き込み状態にするか、“1”の消去状態を過消去状態にするか、いずれか一方のみを選択しても有効である。これによっても、“0”、“1”データのしきい値電圧の差が通常のセルに比べて大きくなるから、不良アドレスデータ読み出しの信頼性が高いものとなる。

【0067】

【発明の効果】以上述べたようにこの発明によれば、メモリセルアレイ本体内に初期設定データ領域を設定しており、メモリセルアレイ本体のデコード回路やセンスアンプ回路をそのまま用いて初期設定データの読み出しを行うようにしている。従って不良救済のための不良アドレス記憶その他の初期設定データの記憶と、その制御のために大きなチップ面積を必要としないし、複雑な回路も必要としない。またコマンド入力により、初期設定データの検証や修正も容易である。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるEEPROMの構成を示す図である。

【図2】同実施の形態1のメモリセルアレイの構成を示す図である。

【図3】同実施の形態1の初期設定データラッチ回路の構成を示す図である。

【図4】別の実施の形態2によるEEPROMの構成を示す図である。

【図5】別の実施の形態3によるEEPROMの構成を示す図である。

【図6】ベリファイチェックのためのフューズ回路を示す図である。

【図7】図6の動作タイミング図である。

【図8】図5のフューズデータラッチ回路の構成を示す図である。

【図9】この発明による初期設定データリードの制御フロー例を示す。

【図10】実施の形態1の場合のステップS4の制御フローを示す。

【図11】実施の形態2の場合のステップS4の制御フローを示す。

【図12】実施の形態3の場合のステップS4の制御フローを示す。

【図13】実施の形態4による不良アドレス記憶法を説明するための図である。

【図14】同実施の形態4における不良アドレスデータ確認のための回路構成例を示す図である。

【図15】実施の形態5による不良アドレス記憶法を説

17

明するための図である。

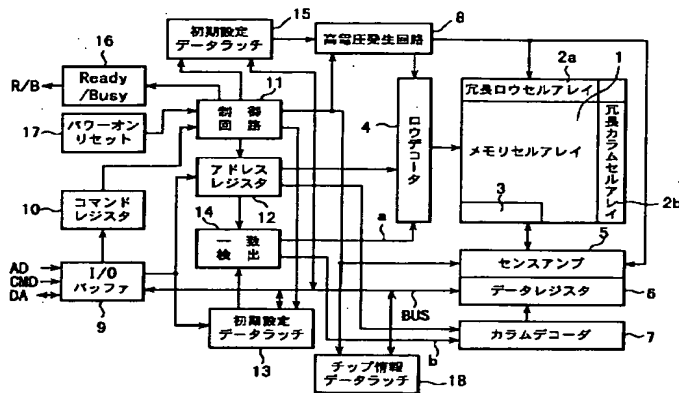
【図16】実施の形態6による不良アドレス記憶法を説明するための図である。

【図17】実施の形態7による不良アドレス記憶法を説明するためのしきい値分布を示す図である。

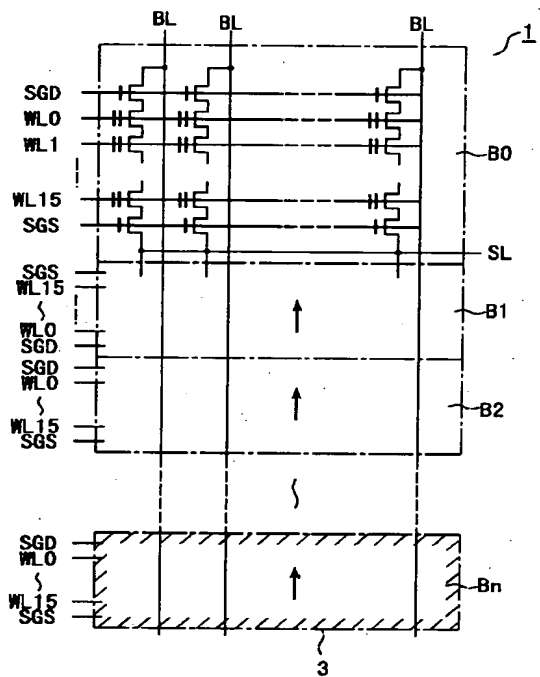
【図18】実施の形態8による不良アドレス記憶法を説明するためのしきい値分布を示す図である。

【符号の説明】

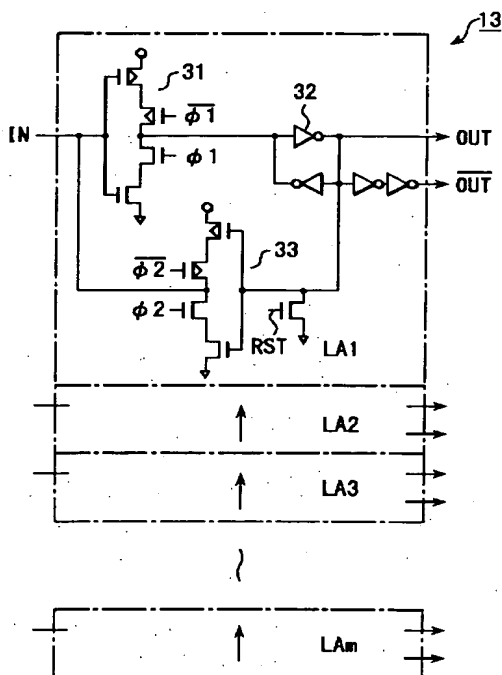
【図1】



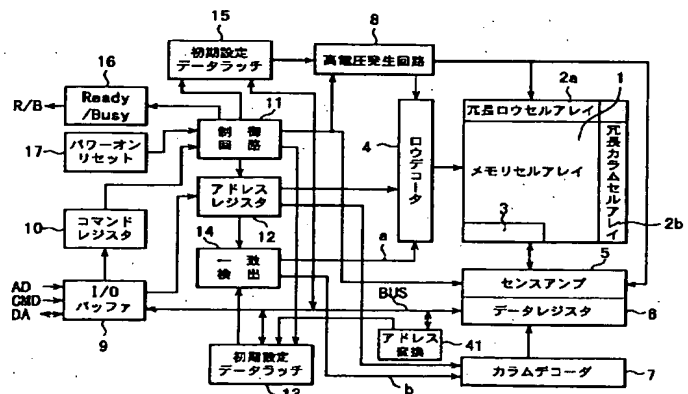
【図2】



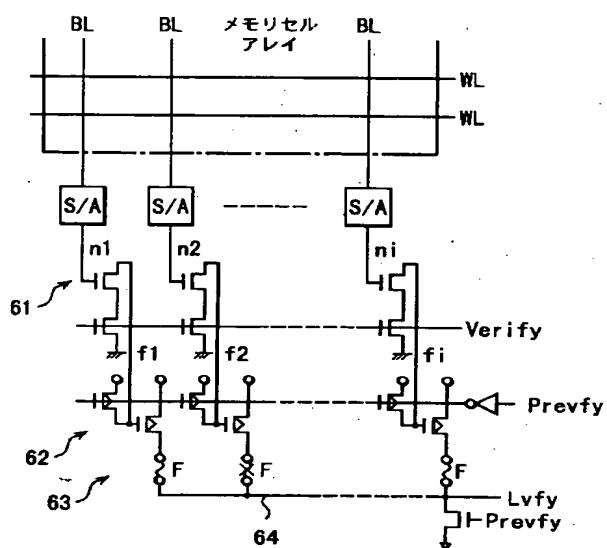
【図3】



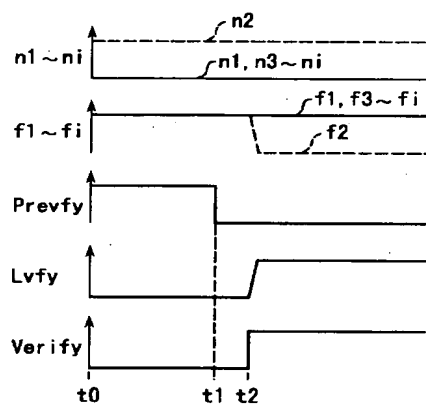
【図4】



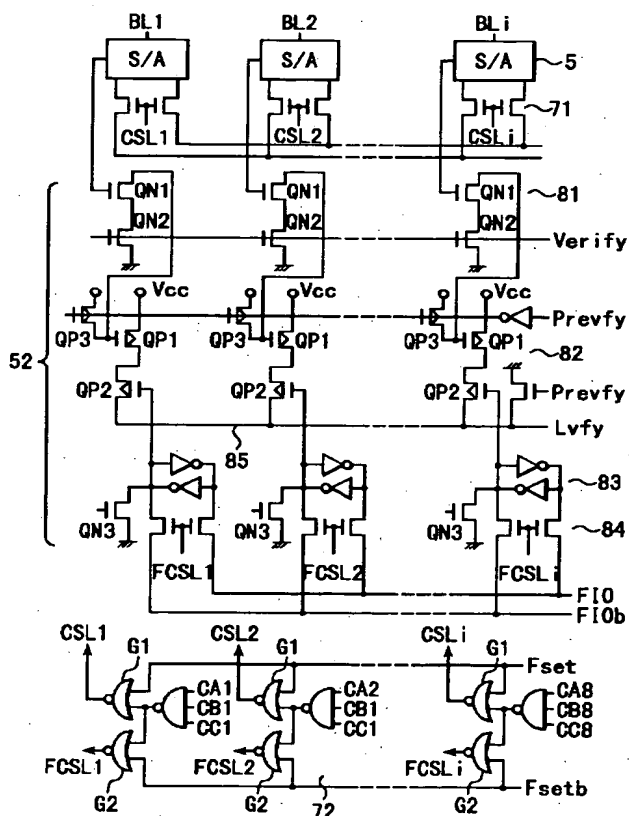
【図 6】



【図 7】



【図 8】



【图 16】

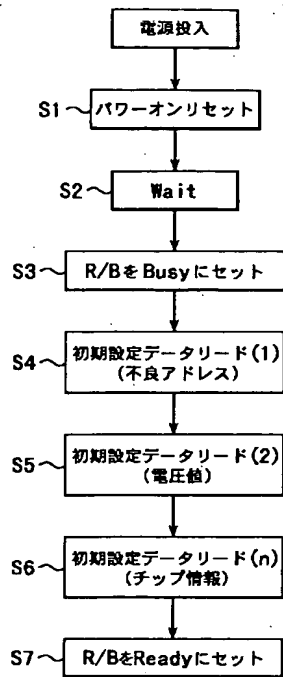
(列)

0	0	1	0	1	0
1	1	0	1	0	0
2	1	1	1	1	1
3	1	0	0	0	0

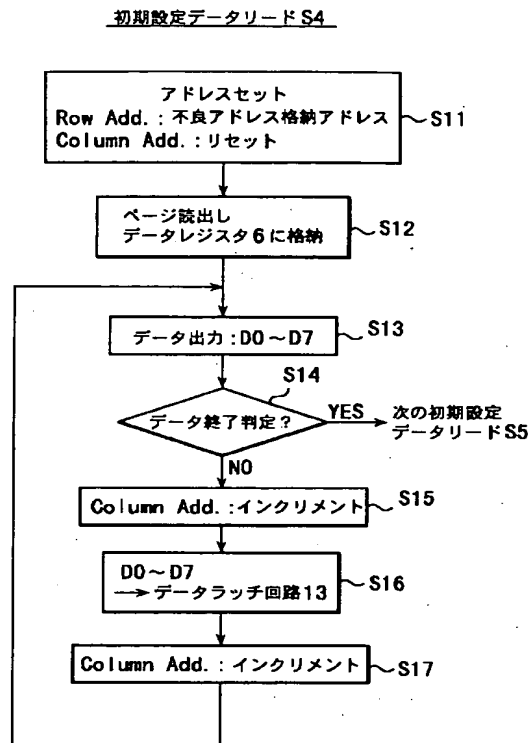
不良アドレスデータ

↑  
識別ビット

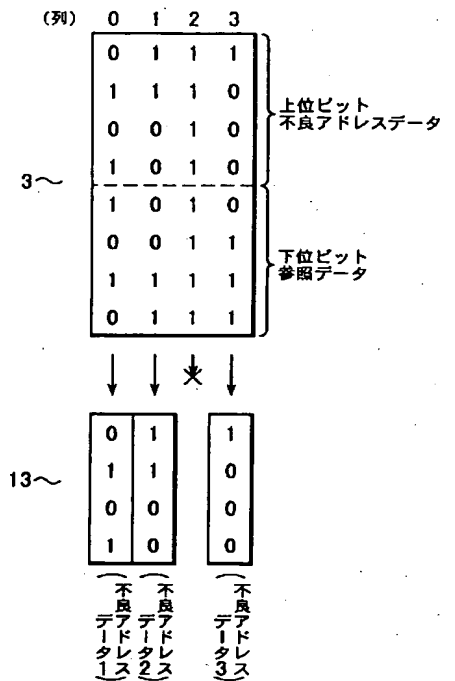
【図9】



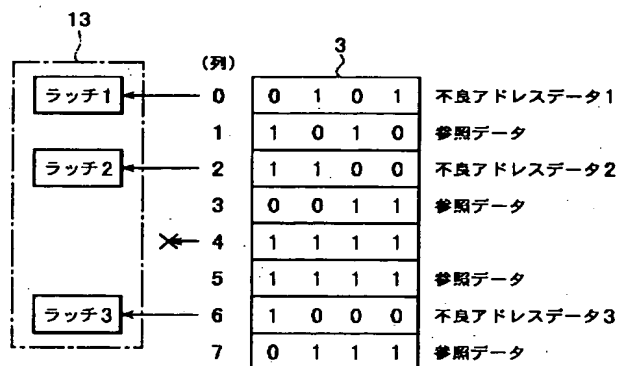
【図10】



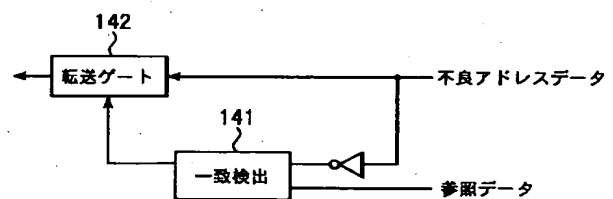
【図15】



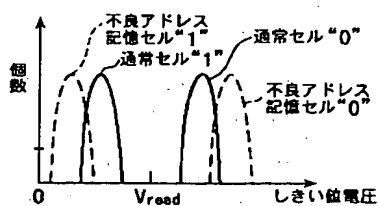
【図13】



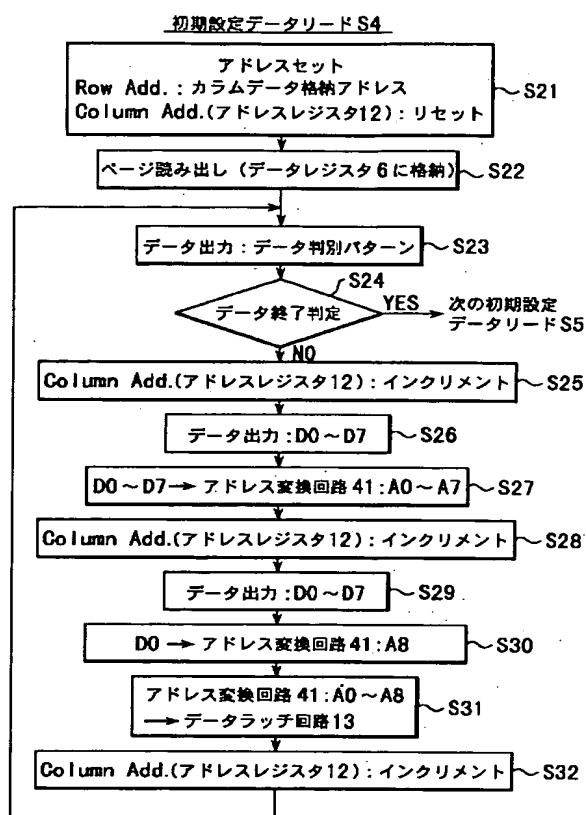
【図14】



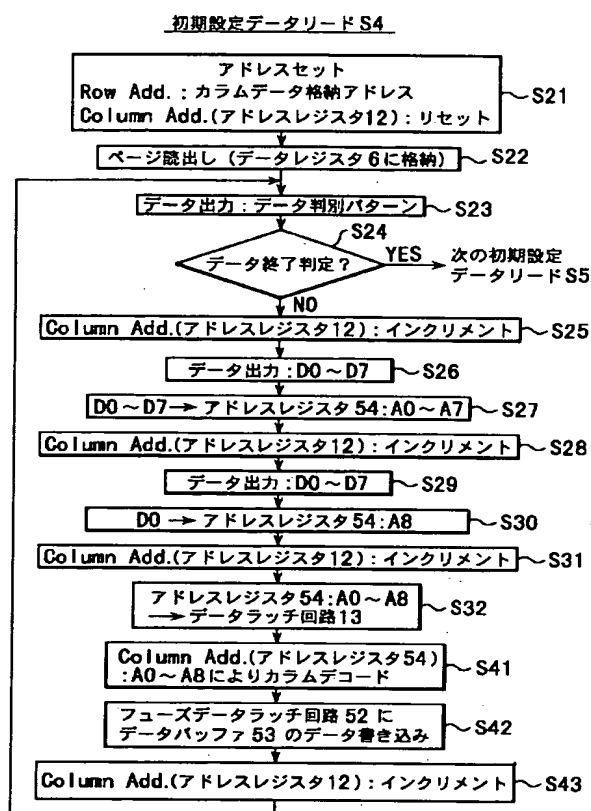
【図17】



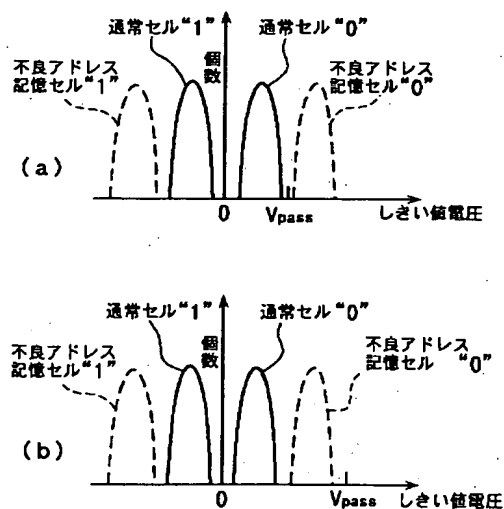
【図11】



【図12】



【図18】



フロントページの続き

(72) 発明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(72) 発明者 中村 寛

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

F ターム (参考) 5B025 AA03 AB01 AC01 AD01 AD04  
AD06 AD08 AD13 AD16 AE00  
AE09  
5L106 AA10 CC09 CC17 CC22 DD12  
GG01 GG07